

## طراحی مدولاتور دلتا سیگمای هیبریدی زمان پیوسته/گسسته برای کاربردهای مخابرات چند استاندارد

محمد هنرپرور<sup>۱</sup> و اسماعیل نجفی اقدم<sup>۲</sup>

<sup>۱</sup> کارشناس ارشد الکترونیک، دانشگاه صنعتی سهند تبریز، m\_honarparvar@sut.ac.ir

<sup>۲</sup> نویسنده مسئول، آزمایشگاه تحقیقاتی میکرو الکترونیک، دانشگاه صنعتی سهند تبریز، najafiaghdam@sut.ac.ir

(تاریخ دریافت مقاله: ۱۳۹۲/۳/۲۹ تاریخ پذیرش مقاله: ۱۳۹۲/۱۰/۳)

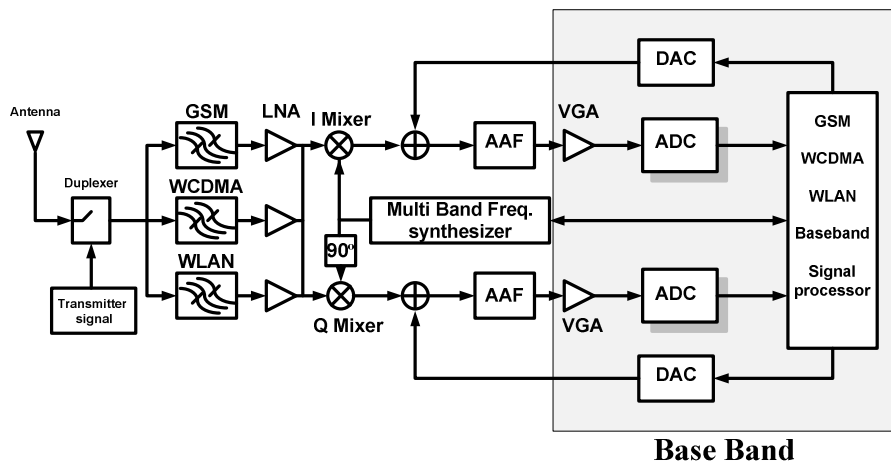
**چکیده:** با توسعه روز افزون ارتباطات نسل های جدید که به امتداد حضور استانداردهای قبلی در دوران تکامل تدریجی خود بسر می برد، بکارگیری مدارات گیرنده چند استاندارد گزینه ای مطلوب برای صرفه جویی در توان و مساحت محسوب می-گردد. بدلیل ضعف نسبی تکنولوژی های جدید زیر دهم میکرومتر در ساخت مدارات مجتمع CMOS نوع آنالوگ، طراحی بخش های مختلف گیرنده های چند استاندارد قابل تنظیم خصوصا در قسمت پیشانی گیرنده های مخابرات بی سیم از چالش های جدی می باشد. در این تحقیق، ساختار یک مدولاتور دلتا سیگما قابل پیکر بندی مجدد بعنوان یکی از قسمت های کلیدی مدارات پیشانی گیرنده چند استاندارد مطالعه، طراحی، توسعه و شبیه سازی شده است. در طراحی مدولاتور مذکور از سه ایده نوین برای کاهش توان مصرفی به تناسب استاندارد مورد نیاز کاربر استفاده شده است. در تکنیک اول تعداد تقویت کننده های (آپ امپ) لازم برای افزایش درجه مدولاتور کاهش یافته و با استفاده از تکنیک بهبود شکل دهی نویز، یکی از آپ امپ ها با مقایسه کننده حلقه مشترک بکار گیری شده است، در تکنیک دوم با تغییر توابع تبدیل سطح سیستم و انتقال نقطه جمع کنندگی در پیاده سازی ساختار مسیر مستقیم (FF) به ورودی طبقه ماقبل از مصرف توان و محدودیت سرعت گلوگاهی جمع کننده اجتناب شده است، و نهایتا با بکار گیری ساختار هیبریدی بطوریکه پیاده سازی طبقه اول زمان پیوسته و طبقات بعدی بصورت زمان گسسته باشد، از نیازمندی مصرف توان مدار نمونه بردار و تقویت کننده گره تفریق گر ورودی مدولاتور، بطور قابل ملاحظه ای کاسته خواهد شد. شبیه سازی سطح سیستم ساختار پیشنهادی چند استاندارد با قابلیت پیکربندی جدید، نشان دهنده بهبود قابلیت مدار و بر آورده کردن مشخصات سه استاندارد نمونه GSM، WCDMA و WLAN با نوید توان مصرفی کمتر در مقایسه با موارد مشابه قبلی می باشد.

### ۱- مقدمه

نیاز به سیستم های ارتباطی بی سیم<sup>۱</sup> و قابل حمل<sup>۱</sup> در چند دهه ی اخیر سبب توسعه نسلی از سیستم های مخابراتی قابل انعطاف<sup>۲</sup>

<sup>۱</sup> Wireless

شده است که قادرند استانداردهای مختلفی را در محیط های متفاوت پشتیبانی کنند. در این راستا، سیستم های مخابراتی نسل چهارم<sup>۳</sup> با قابلیت های توسعه یافته، کارایی بیشتر و نرخ انتقال داده ی<sup>۴</sup> بالاتر در حال ارائه به مصرف کنندگان است. یکی از چالش های طراحی برای تحقق جامع سیستم های مخابراتی نسل چهارم و بالاتر، طراحی یک سیستم پیشانی گیرنده موسوم به front-end با تمرکز بر مسئله ی پیکربندی مجدد موسوم به Re-configurability است به گونه ای که بلوک های بخش باند رادیویی (RF) و بلوک های بخش باند پایه آن از لحاظ توان مصرفی<sup>۵</sup> و فضای اشغال شده روی تراشه<sup>۶</sup>، برای دریافت، آشکار سازی و ارسال در استانداردها و شرایط کاربردی مختلف بهینه باشد. شکل ۱ ساختار عمومی یک نوع گیرنده رادیویی چند استاندارد را نشان می دهد که در آن بخش های مختلف بطور موازی هم بکار گیری می شوند.

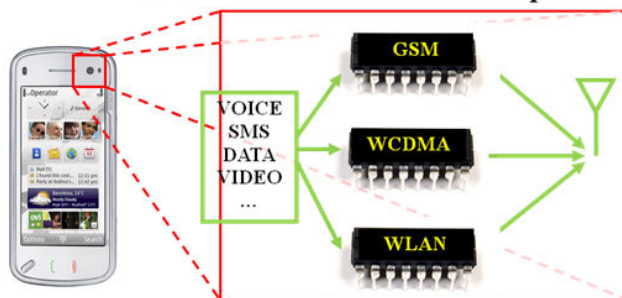


شکل ۱: بخش باند پایه و RF یک گیرنده ی رادیویی چند استاندارد

بعنوان یکی از چالش های اصلی، در مرحله ورود به بخش باند پایه این دسته از سیستم ها، طراحی مبدل های آنالوگ به دیجیتال با قابلیت تغییر دقت و پهنای باند در استانداردهای مخابراتی مختلف می بایست مد نظر قرار گیرد. مبدل های دلتا-سیگما به دلیل مصالحه ذاتی بین سرعت و دقت سیستم و همچنین مصرف توان پایین، به عنوان گزینه مطلوب در طراحی یک مبدل آنالوگ به دیجیتال در سیستم های چند حالت<sup>۷</sup> شناخته می شوند. در شکل ۲ و شکل ۳ به طور شهودی مزایای سیستم مولتی استاندارد را از لحاظ توان مصرفی و فضای اشغال شده روی تراشه نشان داده است [۱، ۲].

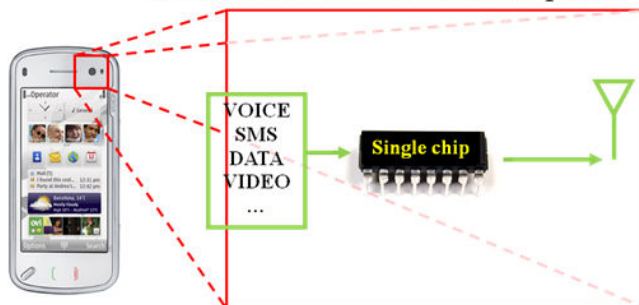
<sup>1</sup> Portable  
<sup>2</sup> Flexible  
<sup>3</sup> 4 Generation  
<sup>4</sup> Data Rate  
<sup>5</sup> Power Consumption  
<sup>6</sup> Chip area Consideration  
<sup>7</sup> Multi-Mode

### Bi-standard or tri-standard mobile phones



شکل ۲: سیستم‌های چند استاندارد غیر بهینه بدون در نظر گرفتن توان مصرفی و مساحت اشغال شده روی تراشه

### Bi-standard or tri-standard mobile phones



شکل ۳: سیستم‌های چند استاندارد با طرح و معماری بهینه شده با در نظر گرفتن توان مصرفی و مساحت اشغال شده روی تراشه.

اساساً، سه رویکرد جهت پیاده سازی یک سیستم چند حالت در حالت کلی و یک مبدل آنالوگ به دیجیتال به عنوان یک زیرسیستم وجود دارد که در زیر به اختصار اشاره شده است [۳-۸]:

**رویکرد اول:** ساده ترین راه برای پیاده سازی یک مبدل آنالوگ به دیجیتال چند حالت، موازی نمودن چندین مبدل است که هر کدام در استاندارد مخابراتی خاص خودش کار می کند. این رویکرد در شکل ۴(الف) نشان داده شده است. بدین ترتیب وقتی سیستم در یک استاندارد خاص کار می کند سایر مبدل‌ها در حالت خاموش قرار داشته و لذا مصرف توان به شدت کاهش می یابد. اگرچه این روش از لحاظ توان مصرفی بهینه به نظر می رسد اما از دیدگاه فضای اشغال شده روی تراشه، روش چندان جالب توجهی به نظر نمی رسد. از طرفی این بلوک‌های خاموش نیز ممکن است دارای جریان‌های ناشی نیز باشند که این خود نیز حائز اهمیت خواهد بود. اما آنچه که اهمیت بیشتری دارد افزایش قابل توجه توان مصرفی در حالت کارکرد همزمان چند استاندارد می باشد. واقعیت اینست که در عمل موارد متعددی کارکرد همزمان دو یا چند زیر سیستم مورد نیاز است. برای مثال در یک گیرنده تلفن سیار (گوشی تلفن همراه) بکارگیری همزمان سیستم گیرنده، تلفن سیار (GSM) و بلوتوث (BT)، اینترنت بی سیم (WLAN) یا سرویس ارتباط داده (GPRS) اغلب مورد نظر می باشد. این شرایط کارکرد همزمان، دیگر بهینه بودن مصرف توان در آرایش موازی و مستقل چندین مبدل را برای گیرنده‌های چند استاندارد مردود می نمایاند.

**رویکرد دوم:** پیاده سازی یک مبدل با در نظر گرفتن بدترین شرایط ممکن است بصورت نمادین در شکل ۴(ب) نشان داده

شده است. فرض کنیم هدف پیاده سازی یک مبدل آنالوگ به دیجیتال جهت پشتیبانی سه استاندارد GSM، WCDMA، WLAN باشد. به وضوح مشخص است که برای GSM یک دقت بالا مورد نیاز بوده و برای حالت WLAN یک پهنای باند بالا مد نظر است. در نتیجه مبدل آنالوگ به دیجیتال به گونه ای طراحی می گردد که هم پاسخگوی دقت مورد نیاز در حالت GSM باشد و هم پهنای باند مورد نیاز در حالت WLAN فراهم نماید. این روش از لحاظ توان مصرفی چندان بهینه نیست چرا که برای مثال در حالت GSM، پهنای باندی برای طراحی انتخاب شده است که چندین برابر فراتر از نیاز GSM بوده و در شرایط کارکرد غیر همزمان تلفات توان زیادی را سبب می شود.

**رویکرد سوم:** استفاده از یک سیستم انعطاف پذیر و Reconfigurable است که مورد تاکید این تحقیق نیز می باشد. در این حالت سیستم شرایط عملکردی اجزای خود را متناسب با استاندارد (یا استانداردهای همزمان) مورد نظر کاربر تغییر می دهد و خود را با استاندارد مورد نیاز تطبیق می دهد. به عنوان مثال وقتی سیستم در حالت GSM کار می کند پهنای باند ۰/۲ MHz را با دقت ۱۲-۱۴ بیت ارائه می دهد و با تغییر استاندارد به مد WLAN سیستم خود را با استاندارد آن منطبق نموده و پهنای باند ۲۰ MHz را با دقت ۱۰-۱۲ بیت ارائه می کند. شماتیک این ساختار تطبیقی در شکل ۴(ج) نمایش داده شده است.

## ۲- استانداردهای اصلی مخابرات نسل چهارم

سیگنال ورودی مبدل آنالوگ به دیجیتال در مخابرات نسل چهارم، محدوده وسیعی از استانداردها از GSM تا WLAN 802.11n را پوشش می دهد. در متفاوت پیاده سازی یک مبدل n حالتی: الف) ترکیب موازی n مبدل مستقل، ب) مبدل واحد برای بدترین شرایط محتمل برآورنده معیار همه حالت های ممکن، ج) یک مبدل با قابلیت پیکر بندی مجدد برای n حالت مستقل یا ترکیبی

## ۴- مشخصات مبدل آنالوگ به دیجیتال دلتا سیگما

**مطابق آنچه که در بخش قبل بیان شد مبدل های مبتنی بر مدولاتور دلتا- سیگما به عنوان یک گزینه مناسب در طراحی بخش باند پایه سیستم های چند استاندارد و رادیو نرم افزار برگزیده شده اند.** مشخصات مورد نیاز برای طراحی مبدل آنالوگ به دیجیتال جهت کار در سه استاندارد GSM، WCDMA و WLAN در جدول ۲ نشان داده شده است. همانگونه که در جدول مذکور آمده است، سیستم های چند استاندارد برای برآوردن کیفیت خدمات (QoS)، در بخش باند پایه خود نیاز به مبدل های آنالوگ به دیجیتالی دارند که در حالت GSM محدوده پویایی (DR) بزرگتر از ۷۰ dB را روی پهنای باند ۰/۲ MHz فراهم کند.

جدول ۱ استانداردهای اصلی مخابرات نسل چهارم ارائه شده است. به منظور پوشش همه استانداردها یک مبدل آنالوگ به دیجیتال قابل انعطاف لازم است تا پهنای باند بین چند کیلوهرتز (در GSM) تا ۴۰ MHz (WLAN) را پشتیبانی کند. همچنین این مبدل بایستی قادر باشد محدوده دینامیکی بالای ۸۵ dB برای GSM و بالاتر از ۵۰ dB برای WLAN فراهم کند. همانگونه که بیان شد مبدل دلتا- سیگما بعنوان یک گزینه برتر می تواند این قابلیت انعطاف را به خوبی فراهم کند [۸، ۵]. در این راستا برای سوئیچ کردن بین مدهای عملیاتی مختلف، با توجه به رابطه ی (۱) برای محدوده دینامیکی [۹]، می توان از طریق تغییرات پارامتر های عملکردی زیر در مدولاتور دلتا - سیگما استفاده نمود.

$$DR = \frac{P_s}{P_N} = f(L, OSR, B) = \frac{3}{2} \times \frac{2L+1}{\pi^{2L}} OSR^{2L+1} (2^B - 1)^2$$

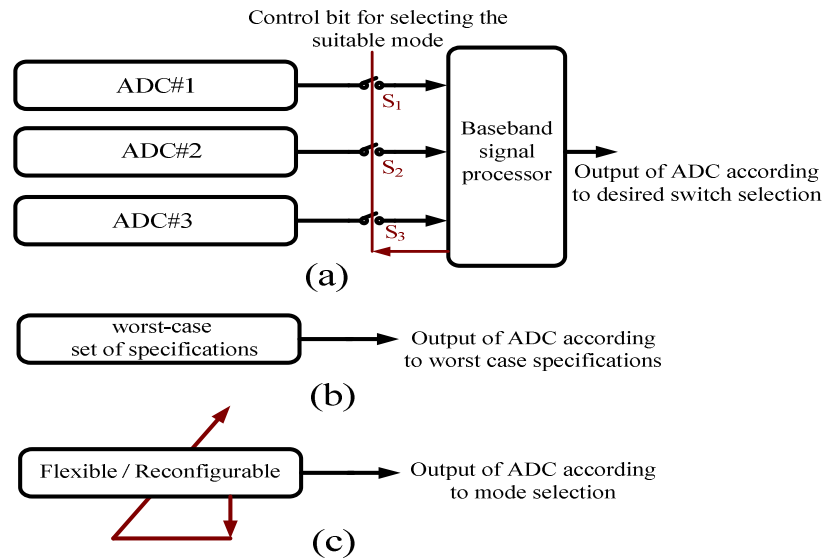
تغییرات ضرایب فیلتر حلقه برای تغییر گین و پهنای باند فیلتر داخل حلقه

تغییر مرتبه فیلتر حلقه (L)

تغییر فرکانس نمونه برداری ( $f_s$ ) یا به عبارتی تغییر OSR

تعداد بیت کوانتایزر (B)

با تغییر پارامترهای فوق در یک مدولاتور دلتا- سیگمای قابل برنامه ریزی، می توان شرایط لازم برای برآوردن نیاز استانداردهای متفاوت را فراهم کرد.



شکل ۴: رویکرد های متفاوت پیاده سازی یک مبدل n حالتی: الف) ترکیب موازی n مبدل مستقل، ب) مبدل واحد برای بدترین شرایط محتمل برآورنده معیار همه حالت های ممکن، ج) یک مبدل با قابلیت پیکر بندی مجدد برای n حالت مستقل یا ترکیبی

#### ۴- مشخصات مبدل آنالوگ به دیجیتال دلتا سیگما

مطابق آنچه که در بخش قبل بیان شد مبدل های مبتنی بر مدولاتور دلتا- سیگما به عنوان یک گزینه مناسب در طراحی بخش باند پایه‌ی سیستم‌های چند استاندارد و رادیو نرم افزار برگزیده شده اند. مشخصات مورد نیاز برای طراحی مبدل آنالوگ به دیجیتال جهت کار در سه استاندارد GSM، WCDMA و WLAN در جدول ۲ نشان داده شده است. همانگونه که در جدول مذکور آمده است، سیستم‌های چند استاندارد برای برآوردن کیفیت خدمات<sup>۱</sup> (QoS)، در بخش باند پایه‌ی خود نیاز به مبدل های

<sup>1</sup> Quality of Service

آنالوگ به دیجیتالی دارند که در حالت GSM محدوده پویایی (DR) بزرگتر از ۷۰dB را روی پهنای باند ۲MHz/۰ فراهم کند.

جدول ۱: مشخصات مهمترین استانداردهای مخابراتی نسل چهارم

Standards	Signal BW (MHz)	Modulation
GSM	0.2	GMSK
UMTS TDD	2	BPSK
		64QAM
UMTS FDD	4	BPSK
		64QAM
DVB-H	7.6	BPSK
		64QAM
WLAN 802.11a	20	BPSK
		64QAM
WLAN 802.11n	40	BPSK
		64QAM

همچنین این مشخصات برای حالت WCDMA به صورت محدوده پویایی بزرگتر از ۶۰dB روی پهنای باند ۲MHz و

برای حالت WLAN محدوده پویایی بزرگتر از ۵۲ dB روی پهنای باند ۲۰MHz خواهد بود.

جدول ۲: محدوده پویایی مورد نیاز جهت طراحی مبدل آنالوگ به دیجیتالی در گیرنده‌های چند استاندارد

Standards	Channel Bandwidth	DR requirements in the Triple-standard receiver
GSM	200 kHz	>70 dB
WCDMA	2 MHz	> 60 dB
WLAN	20 MHz	>52 dB

## ۵- معماری مدولاتور دلتا سیگمای پیشنهادی

در این بخش ملاحظات لازم جهت انتخاب توپولوژی به تفکیک مورد بررسی قرار گرفته است.

### ۵-۱- انتخاب نوع مدولاتور: زمان پیوسته (CT) یا زمان گسسته (DT)

مدولاتور دلتا - سیگمای زمان پیوسته (CT) به دلیل فراهم نمودن فیلتر ضد تداخلی ذاتی<sup>۱</sup> یک انتخاب مناسب برای کاربردهای چند استاندارد است. این ویژگی خود سبب کاهش توان مصرفی مدولاتور خواهد شد که یک پارامتر حیاتی در کاربردهای چند استاندارد است. در کنار مزیت فیلتر ضد تداخلی ذاتی، مدولاتورهای زمان پیوسته می‌توانند با فرکانس نمونه برداری و تبدیل داده

<sup>1</sup> Anti-Aliasing Filter

به میزان ۳ تا ۴ برابر بالاتر از رقیب زمان گسسته (DT) خود عمل کنند. اگر چه افت عملکرد ناشی از تاخیر اضافی حلقه ELD و لرزش پالس ساعت (Jitter) به عنوان پیامدهای نامطلوب استفاده از مدولاتور زمان پیوسته تلقی می‌شود اما این اثرات نامطلوب ناشی از تاخیر اضافی داخل حلقه توسط جبران سازی و اثرات ناشی از لرزش پالس ساعت توسط انتخاب شکل موج مناسب پالس DAC قابل بهبود است. با این وجود و جهت بهره مندی حداکثری از مزایای هر دو سیستم، به نظر می‌رسد با ترکیبی از مدولاتور زمان گسسته و مدولاتور زمان پیوسته بتوان از ویژگی‌های مناسب برد. به عبارت بهتر با استفاده از مدولاتورهایی که از آنها تحت عنوان مدولاتورهای دلتا سیگمای هیبریدی یاد می‌شود [۱۰]، می‌توان انتظار آسان تر برآورده کردن مشخصه تقویت کننده (مزیت زمان پیوسته) و پیاده سازی ضرایب با حساسیت کمتر به عدم تطابق (مزیت زمان گسسته) را همزمان داشت.

### ۵-۲- انتخاب باند گذر مدولاتور: پایین گذر (LP) یا میان گذر (BP)

از آنجایی که برای استانداردهای WCDMA و WLAN از معماری Zero-IF استفاده می‌شود مدولاتور دلتا-سیگمای پایین گذر بهترین انتخاب برای این دو استاندارد است. در حالت GSM سیگنال مطلوب روی ۰/۱MHz با پهنای باند ۰/۲ MHz قرار گرفته است. بنابراین در واقع سیگنال در فاصله ۰ تا ۲۰۰KHz قرار می‌گیرد بنابراین می‌توان مدولاتور پایین گذر را برای گسسته سازی در حالت GSM استفاده نمود و سپس از یک پایین آورنده<sup>۱</sup> برای قرار دادن سیگنال روی DC استفاده نمود. اگرچه این روش نرخ نایکوئیست در حالت GSM را دو برابر می‌کند اما همچنان دستیابی به محدوده پویایی مورد نیاز توسط نسبت فرامونه برداری های بالا کار چندان دشواری نمی‌باشد [۱۱].

### ۵-۳- انتخاب ساختار حلقه مدولاتور: تک حلقه‌ای یا MASH

اگرچه برای پیاده سازی یک مدولاتور دلتا - سیگمای چند استاندارد زمان گسسته ساختار MASH به عنوان یک پیشنهاد مطرح می‌گردد اما این ساختار برای پیاده سازی یک مدولاتور دلتا - سیگمای چند استاندارد زمان پیوسته چندان مطلوب به نظر نمی‌رسد. علت را می‌توان در دشواری پیاده سازی تابع تصحیح دیجیتال جستجو نمود [۳, ۱۲]. این خود کافی است تا توجه طراح به سمت ساختار تک حلقه‌ای<sup>۲</sup> جلب شود. از طرفی صفرهای NTF را می‌توان به جای قراردادن روی مقدار DC روی پهنای باند مدولاتور پخش کرد. به عبارت بهتر، بهینه سازی صفرهای مدولاتور ویژگی مثبتی است که ساختار تک حلقه‌ای ارائه می‌کند. با این وجود از آنجا که مرتبه و OSR مدولاتور چند استاندارد جهت برآوردن نیاز استانداردهای مختلف تغییر می‌کند ساختار تک حلقه‌ای انعطاف خیلی زیادی را در اختیار طراح قرار نمی‌دهد. چرا که مرتبه مدولاتور تک حلقه‌ای ثابت است و قابل تغییر نمی‌باشد. این مشکل با تغییر ضرایب مدولاتور و غیر فعال کردن بعضی از انتگرال گیرها قابل حل می‌باشد. با توجه به ملاحظات فوق و نظر به اینکه پیاده‌سازی از نوع مدولاتور زمان پیوسته می‌باشد، ساختار تک حلقه‌ای جهت طراحی انتخاب شده است.

### ۵-۴- مصالحه بین پارامترهای طراحی مدولاتور و تعیین گزینه های مطلوب

برای برآوردن نیاز طراحی مبدل آنالوگ به دیجیتال نخست باید مصالحه‌ای بین پارامترهای طراحی صورت پذیرد. با توجه به

<sup>1</sup> Down Converter  
<sup>2</sup> Single Loop

رابطه‌ی ۰ سه پارامتر اساسی جهت طراحی مدولاتور وجود دارد: ۱- مرتبه مدولاتور (L)، ۲- نسبت فرا نمونه برداری<sup>۱</sup> (OSR) و ۳- تعداد بیت‌های کوانتایزر (B). انتخاب مناسب هر پارامتر مصالحه‌ای است بین مصرف توان، پایداری و فضای اشغال شده روی تراشه. اگرچه افزایش هر یک از پارامترهای فوق سبب افزایش عملکرد مدولاتور می‌گردد اما این افزایش مقادیر، محدودیت‌هایی را نیز در پی دارد. افزایش مرتبه مدولاتور سبب افزایش احتمال ناپایداری سیستم خواهد شد. افزایش OSR به معنای فرکانس نمونه برداری است که این خود دو محدودیت عمده را به دنبال خواهد داشت. محدودیت اول مربوط به محدودیت تکنولوژی CMOS است و محدودیت دوم مربوط به مسئله‌ی توان مصرفی. بنا براین ضروری است که در کاربردهای باند پهن حتی امکان از نسبت فرا نمونه برداری کوچکتر جهت طراحی استفاده شود. اگرچه افزایش تعداد بیت‌های کوانتایزر سبب افزایش محدوده پویایی می‌گردد، اما این مسئله استفاده از DAC چندبیتی را در مسیر فیدبک را اجتناب ناپذیر می‌کند. نتیجه‌ی استفاده از DAC چندبیتی نیاز به DEM و مدارات تصحیح خطا است که سبب افزایش توان مصرفی و پیچیدگی مدار می‌گردد [۱۳].

جدول ۳: مقدار نسبت سیگنال به نویز به ازای مقادیر مختلف L، OSR و B

Standard	L	OSR	Fs(MHz)	B	SNR(dB)
GSM	2	32	12.8	1	61
	2	64	25.6	1	79
	2	128	51.2	1	94
	2	160	64	1	99
	2	256	102.4	1	109
	3	64	25.6	1	107
WCDMA	3	8	32	2	52
	3	16	64	2	74
	3	16	64	3	85
	4	16	64	2	88
	4	32	128	3	112
WLAN	3	4	160	3	42
	3	8	320	3	55
	3	10	400	3	77
	3	12	480	3	80
	4	10	400	3	85
	4	12	480	3	89

برای سیگنال‌های با پهنای باند بالا نظیر WLAN نمی‌توان از نسبت فرآینمونه برداری بالا استفاده نمود و مقدار OSR را بایستی بین

<sup>1</sup> Over Sampling Ratio



۵ تا ۱۰ محدود نمود. لذا باید از روش افزایش مرتبه مدولاتور یا افزایش تعداد بیت‌های کوانتایزر جهت افزایش دقت مدولاتور استفاده نمود. برای کاربردهای با نرخ داده پایین تر نظیر GSM می‌توان از OSR هایی با مقادیر بزرگتر (بزرگتر از ۱۰۰) استفاده نمود. بنابراین یک مدولاتور مرتبه ۲ با یک بیت کوانتایزر را برای کار در حالت GSM می‌توان متصور شد [۱۴, ۱۵].

یک جستجو بین پارامترهای مختلف طراحی جهت برآوردن محدوده پویایی مورد نیاز انجام شده است. نتیجه این جستجو در جدول ۳ نمایش داده شده است.

به دلیل افت عملکرد ناشی از غیرایده‌آلی‌های مداری معمولاً یک محدوده ۶dB تا ۱۰dB افزون بر مقدار محدوده پویایی مورد نیاز، جهت حاشیه اطمینان در طراحی در نظر گرفته می‌شود. با توجه به ملاحظات فوق در طرح اولیه یک مدولاتور مرتبه ۲ با یک بیت کوانتایزر جهت کار در حالت GSM، یک مدولاتور مرتبه ۳ با ۲ بیت کوانتایزر در حالت WCDMA و یک مدولاتور مرتبه ۳ با ۳ بیت کوانتایزر جهت کار در حالت WLAN پیشنهاد می‌گردد. مشخصات طرح اولیه مدولاتور در جدول شماره ۴ نشان داده شده‌اند.

جدول ۴: مشخصات مدلاتور پیشنهادی برای کار در سه استاندارد مختلف

Standard	L	OSR	F <sub>s</sub> (MHz)	B
GSM	2	160	64	1
WCDMA	modified 3rd order	16	64	2
WLAN	Modified 3rd order	10	400	3

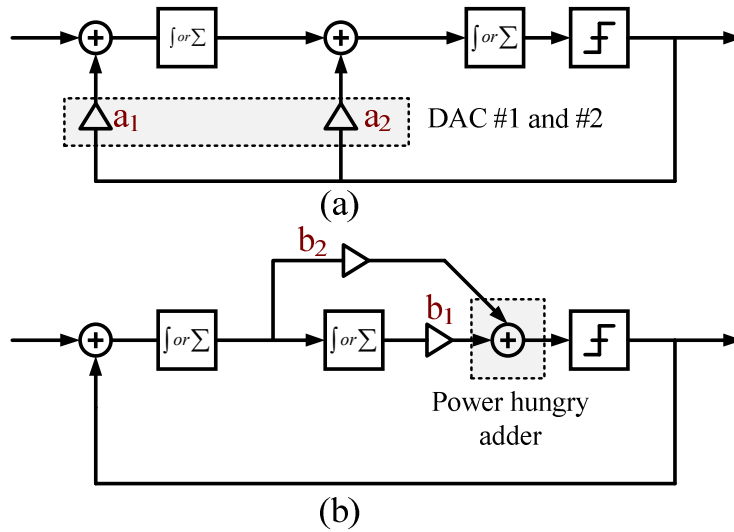
## ۶- طراحی سطح سیستم مدلاتور چنداستانداردی در سه حالت GSM, WCDMA و WLAN

### ۶-۱- انتخاب توپولوژی جهت شبیه سازی

همان‌گونه که در قبل بیان شد، ساختارهای تک حلقه‌ای به دو دسته‌ی پیاده سازی مسیر فیدبک متعدد<sup>۱</sup> FB و یا مسیر مستقیم متعدد<sup>۲</sup> FF تقسیم بندی می‌گردند. دو ویژگی مهم ساختار FF کاهش سوئیچینگ خروجی انتگرال‌گیرها و کاهش تعداد DAC در مسیر فیدبک است که پیامد مطلوب آن، آسان سازی پیاده سازی تقویت کننده عملیاتی و در نتیجه کاهش توان مصرفی مدولاتور است. لذا در این پژوهش، جهت کاهش توان مصرفی در گیرنده‌های چنداستانداردی از ساختار FF استفاده شده است.

<sup>1</sup> Feedback Form

<sup>2</sup> Feed forward Form



شکل ۴: ساختارهای مختلف پیاده سازی مدولاتور دلتا سیگما: الف) Feedback Form و ب) Feedforward Form

### ۲-۶- انتخاب تابع تبدیل نویز (NTF)

در متون مربوط به مبدل آنالوگ به دیجیتال دلتا - سیگمای زمان پیوسته دو رویکرد جهت طراحی NTF ارائه شده است [۹، ۱۲، ۱۵].

طراحی در حوزه زمان گسسته و سپس تبدیل به حوزه زمان پیوسته

طراحی مستقیم در حوزه زمان پیوسته

در این تحقیق از روش اول جهت استخراج NTF استفاده شده است. برای استخراج NTF در حوزه زمان گسسته به سه طریق می-توان عمل کرد.

$$NTF = (1 - Z^{-1})^L$$

استفاده از تابع تبدیل نوعی

استفاده از جعبه ابزار طراحی شده جهت استخراج NTF نظیر Delta Sigma Toolbox یا SUTDSM

طراحی فیلتر توسط نرم افزارهای طراحی

در این مقاله از روش اول به دلیل سادگی و قابلیت انحصاری در پیاده سازی تکنیک شکل دهی نویز کوانتیزاسیون، که در ادامه توضیح داده خواهد شد، استفاده شده است.

### ۳-۶- روش به اشتراک گذاری AMP-OP در توپولوژی FF

همانطور که در شکل ۴ نشان داده شده است. عیب اصلی توپولوژی FF، وجود جمع کننده بزرگ (با چندین ورودی) قبل از کوانتایزر است که باعث لزوم جمع اثر تمام شاخه های FF، باعث افزایش سطح تراشه و توان مصرفی آن می شود. اگر چه چندین توپولوژی برای حل این مشکل در مراجع پیشنهاد شده اند [۱۶، ۱۷]، اما توپولوژی FB در طراحی این پژوهش مطلوب نیست چرا

که این توپولوژی نیاز به یک DAC بازخورد توزیع شده دارد که باعث پیچیدگی بیشتر مدار، افزایش مساحت تراشه و توان مصرفی می شود. در طراحی پیشنهادی حاضر، جمع کننده پر مصرف از گره ورودی کوانتایزر به گره ورودی طبقه دوم (در حالت کلی به طبقه ماقبل آخر) فیلتر منتقل شده است. در نتیجه، مسیر Feed Forward و خروجی انتگرال مرحله اول با هم ادغام می شوند و AMP-OP در طبقه دوم (آخر) می تواند به عنوان یک جمع کننده و همچنین انتگرال گیر مورد استفاده قرار گیرد، همانطور که در شکل ۵ نشان داده شده است. در مدولاتور مرتبه سوم جمع کننده حذف شده و AMP-OP طبقه ۳ نقش جمع کننده و انتگرال گیر را به عهده می گیرد. با توجه به شکل ۵ خروجی مدولاتور را می توان به شرح زیر بیان کرد:

$$Y_{2ndO} = z^{-2} X_1(z) + (1 - z^{-1})^{-2} E_1(z)$$

$$STF_{2ndO}(z) = z^{-2}$$

$$NTF_{2ndO}(z) = (1 - z^{-1})^{-2}$$

$$Y_{3rdO} = z^{-3} X_2(z) + (1 - z^{-1})^{-3} E_2(z)$$

$$STF_{3rdO}(z) = z^{-3}$$

$$NTF_{3rdO}(z) = (1 - z^{-1})^{-3}$$

که در آن X1 و X2 سیگنال ورودی در حال حاضر و E1 و E2 خطا کوانتیزاسیون است. به صراحت، معادله (۲) (۳) نشان می دهد، که پاسخ به مدولاتورهای مرتبه دوم مذکور عملاً به عنوان مدولاتور مرتبه سوم عمل می کند. با توجه به نکات فوق، اشتراک گذاری AMP-OP ها، باعث صرفه جویی در توان خواهد بود که در طرح پیشنهادی انتظار می رود.

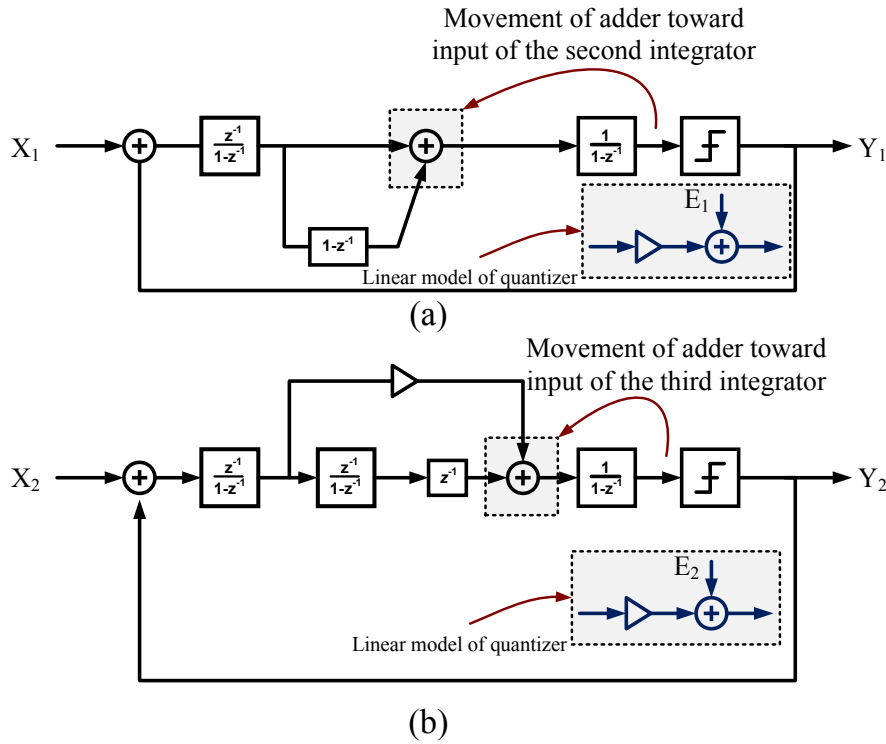
#### ۶-۴- توسعه روش بهبود شکل دهی نویز کوانتیزاسیون<sup>۱</sup>

اساساً کاهش مصرف توان و کاهش فضای اشغال شده روی تراشه از چالش های اساسی طراحان آنالوگ محسوب می شود و تقریباً در تمام طراحی های آنالوگ طراحان به دنبال کاهش مصرف توان و همچنین کاهش حجم مدار هستند. این مسئله در کاربردهایی نظیر مخابرات بی سیم، ابزار دقیق پزشکی و نظایر آن نمود بیشتری پیدا می کند. لذا بایستی روش هایی را جستجو کرد که راه را برای اهداف مذکور هموار نماید. کاهش مصرف توان در مدولاتور دلتا-سیگما به عنوان بخشی از یک سیستم Front-End نیز به عنوان بخشی از اهداف این تحقیق در دستور کار قرار گرفته است. مدولاتور دلتا-سیگما به دلیل ساختار منحصر به فرد خود از دو جهت اجازه کاهش مصرف توان و یا حتی کاهش فضای اشغالی روی تراشه را می دهد.

توسعه ی ساختارهای جدید جهت افزایش عملکرد مدولاتور بدون افزودن بلوک های فعال در سطح سیستم

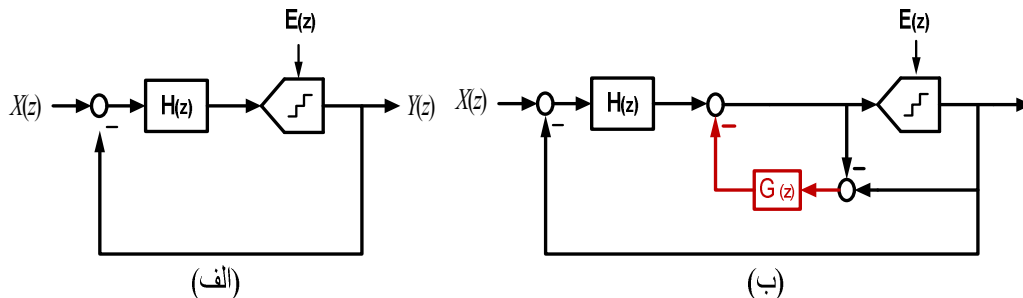
استفاده از روش های کاهش مصرف توان جهت پیاده سازی مدولاتور دلتا-سیگما در سطح مدار

<sup>1</sup> Noise Shaping Enhancement Technique



شکل ۵: مدولاتور دلتا-سیگما با تکنیک به اشتراک گذاری انتگرال گیر در مدولاتور مرتبه دو و سه

تلاش برای افزایش عملکرد مدولاتور ارائه شده در [۱۸, ۲] در سطح سیستم است بدون آنکه بلوک فعالی به به سیستم افزوده شود، ارایه شده است. در این روش در حالت WCDMA و WLAN جهت افزایش عملکرد مدولاتور تئوری افزایش شکل دهی نویز کوانتیزاسیون فقط در مورد مدولاتور دلتا - سیگمای زمان گسسته ارائه شده است که توسط آن مرتبه‌ی مدولاتور بدون افزودن بلوک‌های فعال (انتگرال گیر) افزایش می‌یابد. در این شیوه، ابتدا نویز کوانتیزاسیون استخراج شده و توسط تابع تبدیلی مشکل از تاخیرهایی در حوزه Z به خروجی فیلتر حلقه تزریق می‌گردد، که موجب جبران تاخیر حلقه را هم فراهم می‌نماید [۱۸]. در شکل ۶ یک مدولاتور با ساختار متداول و ساختار با قابلیت افزایش شکل دهی نویز کوانتیزاسیون نشان داده شده است.



شکل ۶: مدولاتور دلتا-سیگما، (الف) ساختار متداول، (ب) ساختار NSE

با در نظر گرفتن تابع تبدیل نویز برای مدولاتور دلتا - سیگمای زمان گسسته متداول به صورت ۰ و تعریف  $G_{ij}(z)$  به

صورت ۰ به راحتی اثبات می شود که تابع تبدیل نویز برای مدولاتور NSE، به صورت ۰ تعریف می گردد.

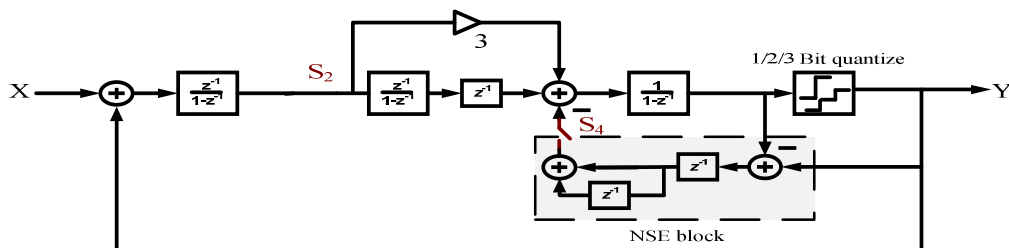
$$NTF(z) = (1 - z^{-1})^L$$

$$G_{ij}(z) = z^{-1} \sum_{k=0}^{N-1} (1 - z^{-1})^k$$

$$NTF_{NSE}(z) = NTF(z)[1 - G_{ij}(z)]$$

با توجه به رابطه ۰ اگر  $G(z) = z^{-1}$  تعریف گردد برای یک مدولاتور مرتبه اول با  $NTF(z) = (1 - z^{-1})$  خواهیم داشت:  $NTF_{NSE}(z) = (1 - z^{-1})^2$ . بدین ترتیب بدون استفاده از انتگرال گیر اضافی در سیستم مرتبه‌ی مدولاتور افزایش می‌یابد که سهم بسزایی در کاهش توان مصرفی مدولاتور خواهد داشت. این تکنیک توسط نگارندگان در یک مدولاتور دلتا-سیگما زمان گسسته با ساختار MASH نیز به کار برده شده است و خلاصه‌ی عملکرد مدولاتور در [۶] گزارش گردید.

روش افزایش شکل دهی نویز کوانتیزاسیون در مدولاتور پیشنهاد شده در پژوهش حاضر در دو حالت WCDMA و WLAN به کار برده شده است. بلوک دیاگرام مدولاتور در شکل ۷ نشان داده شده است. نتایج شبیه‌سازی در سطح سیستم نشان دهنده‌ی به ترتیب ۱۵ dB و ۱۱ dB افزایش نسبت سیگنال به نویز برای دو حالت WCDMA و WLAN است.



شکل ۷: مدولاتور دلتا-سیگمای زمان پیوسته چند استاندارد با خاصیت افزایش شکل دهی نویز کوانتیزاسیون برای دو استاندارد

## WLAN و WCDMA

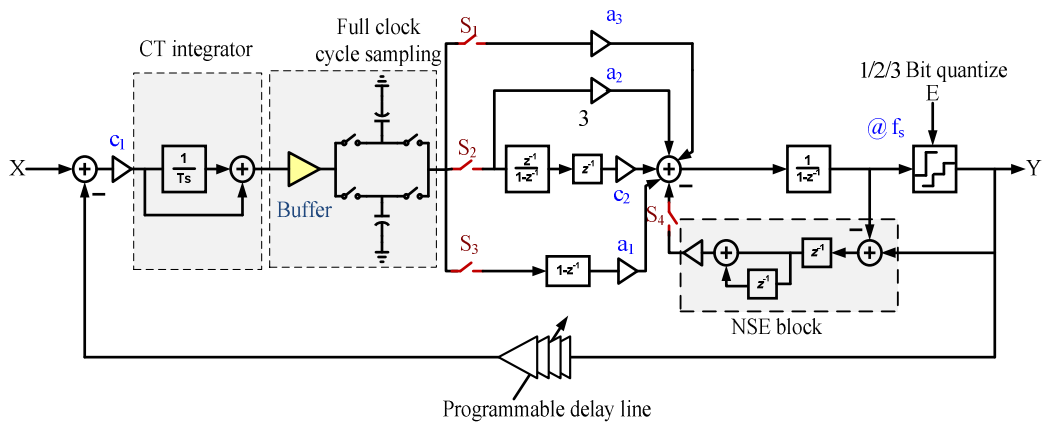
### ۷- بررسی عملکرد مدولاتور مولتی استاندارد پیشنهادی

در معماری مدولاتور هیبریدی پیشنهادی با قابلیت پیکر بندی مجدد، انتگرال گیر اول پیوسته در زمان CT است. همانطور که قبلاً گفته شد، اکثر توان مدولاتور توسط انتگرال گیر اول مصرف می شود. از سوی دیگر، از عیوب انتگرال گیر اول شکل ندادن طیف نویز آن است. بنابراین، در طبقه اول CT که دارای تاثیر زیادی بر کاهش مصرف توان کل دارد استفاده شده است. از آنجایی که انتگرال گیر DT می تواند با تکیه بر تطبیق خازن ضرایب دقیق داشته باشد، ترجیحاً برای طبقات بعدی از DT استفاده می شود.

تفاوت قابل توجهی بین مدولاتورهای DT و CT وجود دارد. در مورد مدولاتورهای DT، محل عملیات تبدیل DT به CT

دقیقا در ورودی مدولاتور (خارج از حلقه) واقع شده است. بنابراین هر گونه خطای ناشی از این تبدیل به طور مستقیم به ورودی مدولاتور تزریق می شود. در مقابل، در مورد مدولاتور هیبریدی، تبدیل DT به CT پس از انتگرال اول واقع شده است. در نتیجه، هر گونه خطا به دلیل این تبدیل را می توان با شکل دهی نویز مرتبه اول کمتر (سرکوب) کرد.

در بخش های پیشین سه مدولاتور جداگانه برای کار در سه مد عملیاتی GSM/WCDMA/WLAN طراحی و شبیه سازی شد. در این بخش با استفاده از ترکیب مناسبی از بخش های قبل ساختار مدولاتور مولتی استاندارد -Reconfigurable- ارائه شده است. ساختار پیشنهادی جهت کار در سه مد عملیاتی GSM/WCDMA/WLAN در شکل ۸ نشان داده شده است. در ادامه نحوه ی عملکرد مدولاتور و خاموش و روشن شدن بلوک های مدولاتور به تفصیل مورد بررسی قرار می گیرد.



شکل ۸: شمای مدولاتور دلتا - سیگمای زمان پیوسته مولتی استاندارد پیشنهادی

### حالت GSM

در این مد عملیاتی از یک مدولاتور مرتبه ۲ با یک بیت کوانتایزر جهت برآوردن QoS استفاده شده است. در این حالت با توجه به شکل ۸ انتگرال گیر دوم در حالت خاموش قرار داشته و بلوک NSE در حالت غیر فعال قرار دارند. لازم به ذکر است که خاموش روشن شدن انتگرال گیرها و فعال و غیر فعال شدن بلوک های NSE توسط پردازشگری که خارج از مبدل بعنوان رابط کاربر قرار می گیرد کنترل می گردد.

### حالت WCDMA

در این مد عملیاتی از یک مدولاتور مرتبه ۳ اصلاح شده توسط بلوک NSE و دو بیت کوانتایزر جهت بهینه سازی NTF، استفاده شده است. بدین ترتیب در این مد عملیاتی هر سه انتگرال گیر در حالت روشن قرار داشته و بلوک NSE فعال می باشد.

### حالت WLAN

در مد WLAN از یک ساختار مرتبه ۳ اصلاح شده توسط تکنیک NSE، ۳ بیت کوانتایزر استفاده شده است. تنها تفاوت ساختار WLAN با WCDMA در یک بیت کوانتایزر است. جهت سادگی پیاده سازی مداری و به منظور به اشتراک گذاردن مقاومت ها

و خازن‌ها از ضرایب یکسانی بین مد های WLAN و WCDMA استفاده شده است.

## ۸- نتایج شبیه سازی در سه مد عملیاتی GSM/WCDMA/WLAN

در این بخش نتایج شبیه سازی مدولاتور ارائه شده در شکل ۸ در محیط MATLAB / SIMULINK ارایه شده است [۱۹]. در شکل ۹ نمودار چگالی طیف توان برای سه مد عملیاتی GSM/WCDMA/WLAN و در شکل ۱۰ نمودار نسبت سگنال به نویز (SNDR) و محدوده ی پویایی (DR) مدولاتور دلتا-سیگمای هیبریدی چند استاندارد ی پیشنهادی نشان داده شده است. لازم به ذکر است در این بخش از بلوک انتگرال گیر ایده آل برای شبیه سازی استفاده شده است. در جدول شماره ۵ خلاصه ای از عملکرد مدولاتور پیشنهادی ارائه شده است. ملاحظه می شود که در این شبیه سازی ها، مشخصات مطلوب هر سه مورد استاندارد که قبلا در جدول شماره ۲ بعنوان هدف تحقیق مورد اشاره قرار گرفته بودند را با حاشیه قابل توجهی از اطمینان جهت فایق آمدن بر اثرات غیر ایدآلی متداول در مرحله پیاده سازی بر آورده شده است.

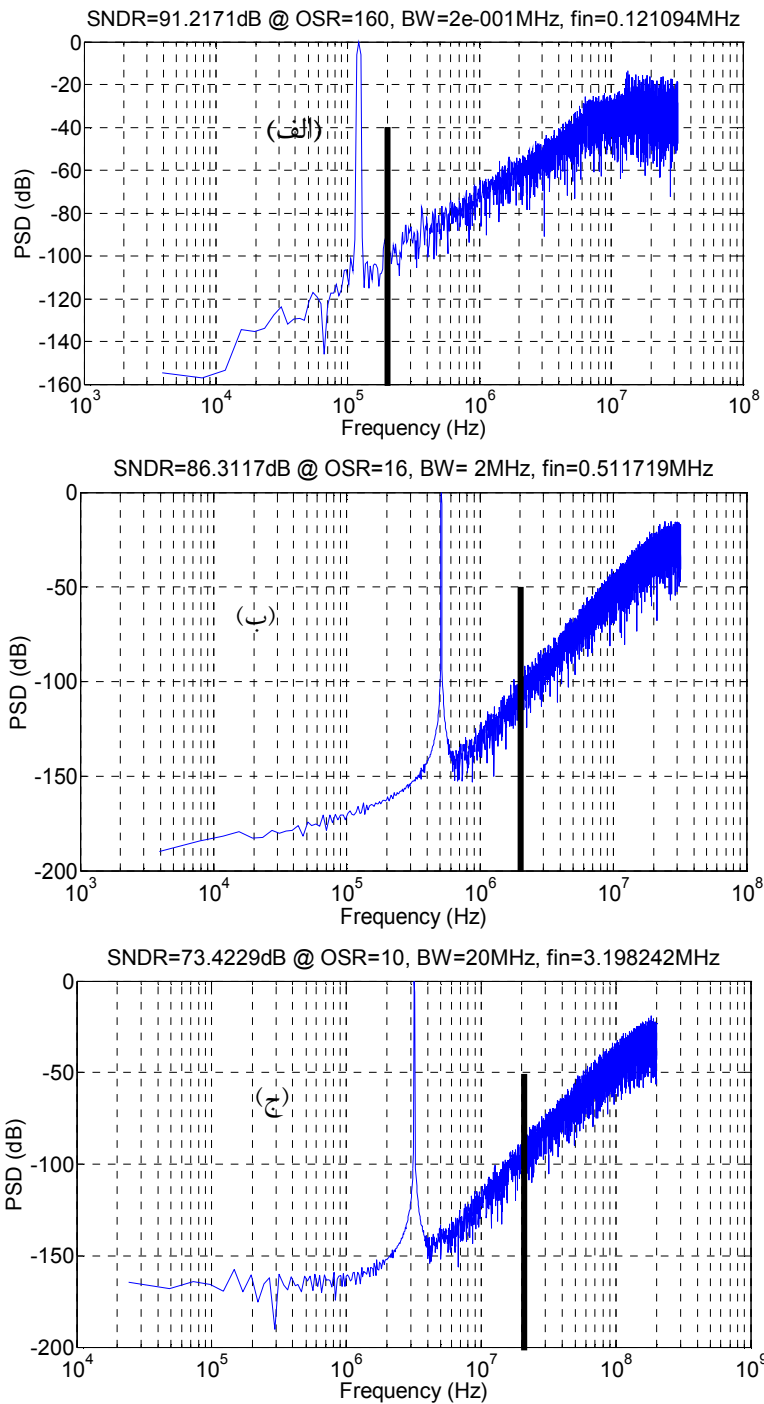
جدول ۵: خلاصه ای از عملکرد مدولاتور دلتا - سیگمای زمان پیوسته مولتی استاندارد پیشنهادی در سطح سیستم

Standards	Channel Bandwidth (MHz)	Sampling Frequency (MHz)	Input Frequency (MHz)	Input Amplitude (dBFS)	SNDR (dB)	DR(dB)
GSM	0.2	64	0.03	-4.4	89.22	101.8
WCDMA	2	64	1.29	-4	86.42	103.2
WLAN	20	400	8.08	-2.86	73.48	93.6

## ۹- جمع بندی

در این پژوهش طراحی و شبیه سازی یک مدولاتور دلتا - سیگمای هیبریدی جهت کار در مخابرات مولتی استاندارد مد نظر قرار گرفت. تدبیر اتخاذ شده متمرکز بر رفع دو چالش مهم در سیستم های مولتی استاندارد، یکی کاهش مصرف توان و دیگری کاهش مساحت اشغال شده توسط مدار بر روی تراشه است. در این پژوهش بر روی پارامتر اول تمرکز بیشتری صورت پذیرفت. اساسا در مدولاتور دلتا-سیگما در دو سطح می توان مدولاتور را طراحی کرد: سطح سیستم و سطح مدار، که می توان در سطح سیستم به گونه ای رفتار کرد که انتظار کاهش مصرف توان را از مدولاتور داشته باشیم. در این راستا، می توان با کاهش تعداد بلوک های فعال به گونه ای که مدولاتور با افت عملکرد مواجه نشود اقدام شد و از یک تکنیک افزایش شکل دهی نویز کوانتیزایون جهت افزایش عملکرد مدولاتور استفاده شد بدون آنکه از تقویت کننده عملیاتی اضافی استفاده شود. بدین جهت، مدولاتور پیشنهادی در سطح سیستم، عملکرد بهتر با تعداد بلوک فعال کمتر را در مقایسه با موارد مشابه ارائه کرد. از سوی دیگر توسط تکنیک به اشتراک گذاری تقویت کننده عملیاتی و حذف یک بلوک فعال انتظار می رود توان مدولاتور در مقایسه با موارد مشابه به شدت کاهش یابد. تکنیک هیبرید به کار گرفته شده نیز سبب پیاده سازی انتگرال گیر اول با مشخصات ملایم تری (relax) خواهد شد و این مسئله نیز منجر به کاهش مصرف توان نیز می گردد. نتایج شبیه سازی در سطح سیستم، با حاشیه اطمینان مطلوبی، مشخصات سه استاندارد نمونه GSM، WCDMA و WLAN را بر آورده کرده است که امکان بهینه سازی در سطح ترانزیستور و امکان پیاده سازی

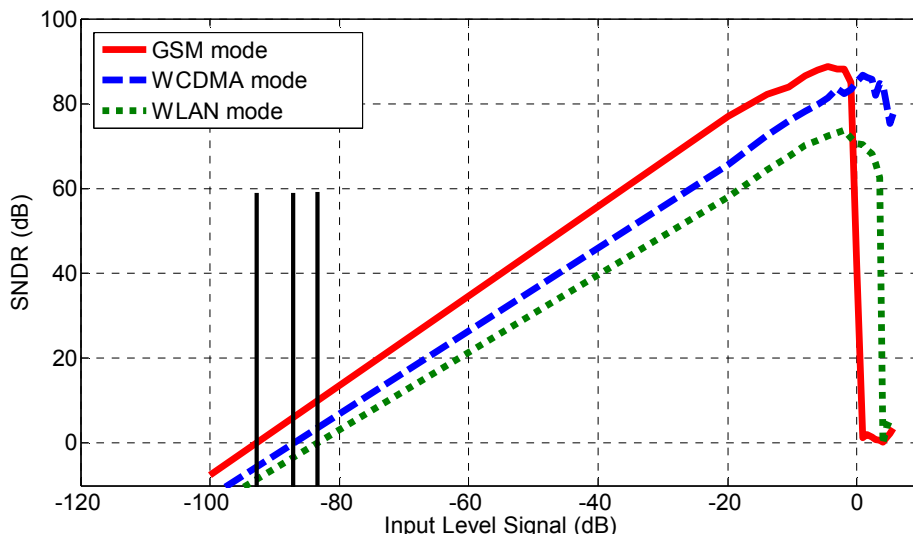
طرح را در مراحل بعدی فراهم می نماید.



شکل ۹: نمودار چگالی طیف از نتایج عملکردی مدولاتور چند استاندارد پیشنهادی - (الف) مد GSM، (ب) مد

WLAN، (ج) مد WCDMA





شکل ۱۰: نمودار نسبت سگنال به نویز (SNDR) و محدوده ی پویایی (DR) مدولاتور دلتا-سیگمای هیبریدی چند استاندارد

پیشنهادی

### قدردانی و تشکر

این پژوهش از حمایت مالی ستاد توسعه فناوری میکرو الکترونیک معاونت علمی ریاست جمهوری اسلامی ایران برخوردار بوده که بدین وسیله از حمایت های ستاد مذکور سپاس گزاری و تقدیر می نماید.

### مراجع

- [1] X. Li and M. Ismail, *Multi-standard CMOS wireless receivers: analysis and design* vol. 675: Kluwer Academic Pub, 2002.
- [2] A. Rusu, A. Borodenkov, M. Ismail, and H. Tenhunen, "A triple-mode sigma-delta modulator for multi-standard wireless radio receivers," *Analog Integrated Circuits and Signal Processing*, vol. 47, pp. 113-124, 2006.
- [3] T.-H. Chang and L.-L. Dung, "New Wideband Cascaded  $\Sigma\Delta$  Modulator for Multimode Wireless Receiver," *IEICE Electronics Express*, vol. 1, pp. 57-62, 2004.
- [4] A. Charmin, M. Honarparvar, and E. N. Aghdam, "A Novel Dual Mode Reconfigurable Delta Sigma Modulator for B-mode and CW Doppler Mode Operation in Ultra Sonic Applications," *Life Science Journal*, vol. 9, 2012.
- [5] G. Gielen and E. Goris, "Reconfigurable front-end architectures and A/D converters for flexible wireless transceivers for 4G radios," in *Emerging Technologies: Circuits and Systems for 4G Mobile Wireless Communications, 2005. ETW'05. 2005 IEEE 7th CAS Symposium on*, 2005, pp. 13-18.
- [6] M. Honarparvar, E. N. Aghdam, M. Shamsi, A. Zahedi, and M. Zafaranchi, "A low power, high performance multi-mode Delta-Sigma ADC for GSM, WCDMA and WLAN standards," in *Electronic Devices, Systems and Applications (ICEDSA), 2011 International Conference on*, 2011, pp. 92-97.

- [7] A. E. N. Honarparvar M. A., "Dual mode reconfigurable continuous time delta-sigma modulator for GS M/WCDMA standards,," *Proc. of The 20th Iranian Conference on Electrical Engineering (ICEE2012)* 2012
- [8] B. R. Jose, J. Mathew, and P. Mythili, "A Multi-Mode Sigma-Delta ADC for GSM/WCDMA/WLAN Applications," *Journal of Signal Processing Systems*, vol. 62, pp. 117-130, 2011.
- [9] R. Schreier and G. C. Temes, *Understanding delta-sigma data converters*: IEEE Press, 2005.
- [10] S. Pesenti, "Hybrid continuous-discrete-time multi-bit delta-sigma A/D converters with auto-ranging algorithm," Ph. D. dissertation, Dept. Eng., Ecole Polytechnique Fédérale de Lausanne, Lausanne, Switzerland 2008.
- [11] B. Razavi, *RF microelectronics* vol. 6: Prentice Hall, 2012.
- [12] M. Ortmanns and F. Gerfers, *Continuous-time sigma-delta A/D conversion: fundamentals, performance limits and robust implementations*: Springer Heidelberg, 2006.
- [13] Y. Hasanpour, E. Aghdam Najafi, and V. Sabouhi, "Dynamic element matching using simultaneity tow different techniques for multibit Delta Sigma Modulator," in *Electrical Engineering (ICEE), 2011 19th Iranian Conference on*, 2011, pp. 1-5.
- [14] X. Chen, Y. Wang, Y. Fujimoto, P. Lo Re, Y. Kanazawa, J. Steensgaard, *et al.*, "A 18 mW CT  $\Delta\Sigma$  modulator with 25 MHz bandwidth for next generation wireless applications," in *Custom Integrated Circuits Conference, 2007. CICC'07. IEEE*, 2007, pp. 73-76.
- [15] Y. Ke, J. Craninckx, and G. Gielen, "Design strategy for Continous-Time Delta-Sigma based on power consideration for 4G radios," in *Signals, Circuits and Systems, 2007. ISSCS 2007. International Symposium on*, 2007, pp. 1-4.
- [16] A. Gharbiya and D. Johns, "On the implementation of input-feedforward delta-sigma modulators," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 53, pp. 453-457, 2006.
- [17] S. Yan and E. Sánchez-Sinencio, "A continuous-time sigma-delta modulator with 88-dB dynamic range and 1.1-MHz signal bandwidth," *Solid-State Circuits, IEEE Journal of*, vol. 39, pp. 75-86, 2004.
- [18] J. A. Cherry and W. M. Snelgrove, "Excess loop delay in continuous-time delta-sigma modulators," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, vol. 46, pp. 376-389, 1999.
- [19] M. Webb and H. Tang, "System-level simulation for continuous-time delta-sigma modulator in MATLAB SIMULINK," in *Proc. of 5th WSEAS International Conference on Circuits, Systems, Electronics, Control & Signal Processing (CSECS'06), Dallas, TX, Nov*, 2006.